

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04155278
PUBLICATION DATE : 28-05-92

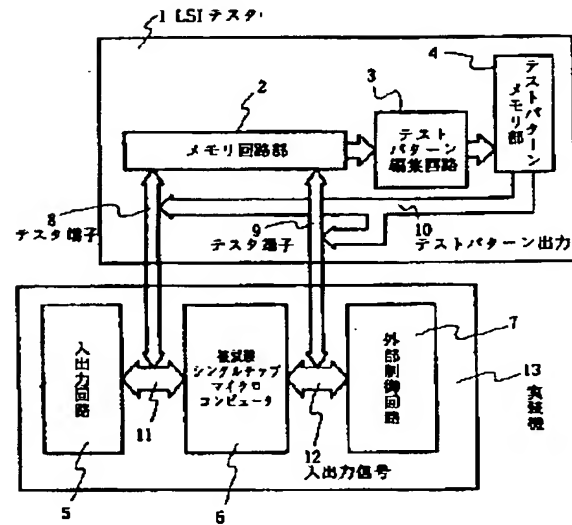
APPLICATION DATE : 18-10-90
APPLICATION NUMBER : 02280391

APPLICANT : NEC CORP;

INVENTOR : JINRIYOU TAKAO;

INT.CL. : G01R 31/28

TITLE : LSI TESTER



ABSTRACT : PURPOSE: To enable a test closer to a condition of a customer's use by creating operation on a machine which packages a single-chip microcomputer to be tested and then achieving with an LSI tester.

CONSTITUTION: A single-chip microcomputer to be tested 6 is connected by an I/O circuit 5 and an external control circuit 7 and then single-chip microcomputer I/O signals 11 and 12 on a packaging machine 13. Also, the I/O signals 11 and 12 of the single-chip microcomputer and tester terminals 8 and 7 are connected and then the single-chip microcomputer 6 allows a signal during operation to be inputted to a memory circuit part 2 by a built-in program. Information which is inputted to a memory circuit 2 is edited to a test pattern through a test pattern editing circuit 3 and is stored into a memory part 4, thus enabling operation test to be performed according to test pattern information of the memory part 4.

COPYRIGHT: (C)1992,JPO&Japio

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-155278

⑬ Int. Cl.⁵
G 01 R 31/28

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)5月28日

6912-2G G 01 R 31/28

H

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 LSI テスタ

⑯ 特 願 平2-280391

⑰ 出 願 平2(1990)10月18日

⑱ 発 明 者 神 涼 隆 男 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

LSI テスタ

特 許 請 求 の 範 囲

被試験LSIを搭載した装置実動作時における前記被試験LSIの入出力端子情報を所定の同期信号に同期させて格納するメモリ回路部と、前記メモリ回路部に格納された情報をテストパターンに編集するテストパターン編集回路とを有することを特徴とするLSI テスタ。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明はLSI テスタに関し、特にシングルチップマイクロコンピュータの如きカスタマのプログラムを内蔵したLSIの動作機能テストを行うLSI テスタに関する。

〔従来の技術〕

半導体技術の発達によりマイクロコンピュータの需要は加速度的に増大しているが、一方ではそのテスト開発が問題化されている。

今日、半導体回路装置(以下LSIという)は全てLSI テスタが直接入力するテスト・パターンによって作動され、その出力パターンが期待値と比較照合されることによって良否が判断される。

〔発明が解決しようとする課題〕

しかしながら従来のLSI テスタではマイクロコンピュータをテストしようとする、このLSIは通常1命令実行だけで数個ないし数十個のテストパターンを必要とし、しかもこれらのテストパターンは大型コンピュータにより論理シミュレーション等を経て作成される。

しかし、シングルチップマイクロコンピュータ等においてはカスタマのプログラムを内蔵しているため、カスタマ毎のテストパターン準備が困難である理由によって内蔵プログラムによる動作テストは通常実施されていない。

本発明の目的は、内蔵プログラムによる動作テストが簡単に実施可能なLSIテストを提供することにある。

〔課題を解決するための手段〕

本発明のLSIテストは、被試験LSIを搭載した装置から実動作時の前記LSIの入出力端子情報を所定の信号に同期させて格納するメモリ回路部と前記メモリ回路部に格納された情報をテストパターンに編集するテストパターン編集回路を有して構成される。

〔実施例〕

第1図は本発明の第1の実施例のブロック図である。

LSIテスト1はメモリ回路部2、テストパターン編集回路3、テストパターンメモリ部4を具備し、相互に接続されテスト端子8、9はメモリ回路部2とテストパターンメモリ部4に接続されている。

被試験シングルチップマイクロコンピュータ6が実装機13上で入出力回路5と外部制御回路7

とシングルチップマイクロコンピュータ入出力信号11、12によって結線されている。

又、シングルチップマイクロコンピュータの入出力信号11、12とテスト端子8、9が結線され、実装機13上で被試験シングルチップマイクロコンピュータ6が内蔵プログラムによって動作中の信号をテスト端子8、9を通してLSIテスト1のメモリ回路部2に入力する。

メモリ回路部2に入力された情報はテストパターン編集回路3を通してテストパターンに編集されてテストパターンメモリ部4に格納される。従って被試験シングルチップマイクロコンピュータ6の内蔵プログラムによる動作テストが、テストパターンメモリ部4のテストパターン情報によって可能となる。

第2図は本発明の第2の実施例のブロック図である。

シングルチップマイクロコンピュータの入出力信号11、12がテスト端子8、テストパターン編集回路3を通してテストパターンメモリ部4に

直接入力される点が前述の第1の実施例と違うだけである。

被試験シングルチップマイクロコンピュータ6が内蔵プログラムによって動作中の信号よりテストパターンをテストパターンメモリ部4へ格納し、内蔵プログラムによる動作テストが実行可能である。

〔発明の効果〕

以上の説明から明らかなように、被試験シングルチップマイクロコンピュータの実装機上で動作している内容をそっくりLSIテストで実現させたテストが容易に実行可能となる。

従って、従来のテストではカスタマのプログラム毎に大型コンピュータを使用し長時間必要としたテストパターン作成がきわめて迅速に行え、かつカスタマの使用状況に近いテストが実行可能となりテストの品質向上も図れる。

本発明によるテストはシングルチップマイクロコンピュータのテストの例によって説明してきたが、シングルチップマイクロコンピュータに限定

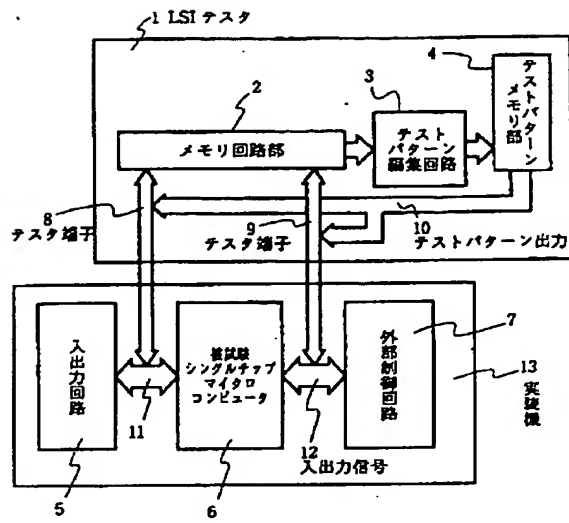
されず他のLSIのテストに適用可能である。

図面の簡単な説明

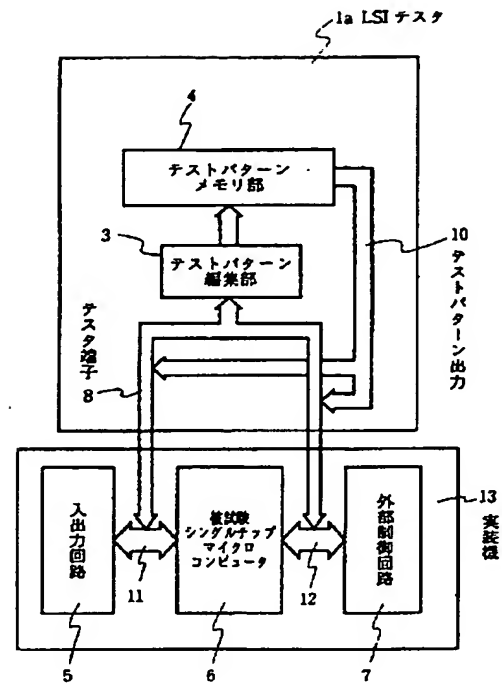
第1図は本発明の第1の実施例のブロック図、第2図は本発明の第2の実施例のブロック図である。

1、1a…LSIテスト、2…メモリ回路部、3…テストパターン編集回路、4…テストパターンメモリ部、5…入出力回路、6…シングルチップマイクロコンピュータ、7…外部制御回路、8、9…テスト端子、10…テストパターン出力、11、12…入出力信号、13…実装機。

代理人 弁理士 内 原 晋



第 1 図



第 2 図